

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORLED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑫ 公開特許公報(A)

平3-280420

⑪ Int. Cl.³

H 01 L 21/208
G 02 F 1/136
H 01 L 21/20
29/784

識別記号

5 0 0

Z

庁内整理番号

7630-4M
9018-2K
7739-4M

⑬ 公開 平成3年(1991)12月11日

9056-4M H 01 L 29/78 3 1 1 F

審査請求 有 請求項の数 2 (全6頁)

⑭ 発明の名称 半導体薄膜の製造方法

⑮ 特 願 平2-81625

⑯ 出 願 平2(1990)3月29日

⑰ 発 明 者 齊 藤 毅 東京都文京区湯島3丁目31番1号 株式会社ジーティシー

内

⑱ 出 願 人 株式会社ジーティシー 東京都文京区湯島3丁目31番1号

⑲ 代 理 人 弁理士 志賀 正武 外2名

明 細 書

1. 発明の名称

半導体薄膜の製造方法

2. 特許請求の範囲

(1) ガラス基板上にシリコン薄膜層を形成し、スズ微粒子を有機溶媒に分散させてなるペーストを上記シリコン薄膜層上に塗布した後、このガラス基板を232℃以上に加熱した後、徐冷することを特徴とする半導体薄膜の製造方法

(2) スズ微粒子を有機溶媒に分散させてなるペーストをシリコン薄膜層上にマトリクス状に塗布することを特徴とする請求項1記載の半導体薄膜の製造方法

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体薄膜の製造方法、詳しくは大面積のガラス基板上にポリシリコンの結晶薄膜を形成する方法に関する。

〔従来技術とその課題〕

液晶ディスプレイ等の表示素子の駆動方法として種々のものがあるが、なかでもマトリクス方式は高画質化、大表示容量化が可能なることから近年、注目を集めている。

この方式は、透明なガラス基板上に半導体薄膜を形成し、この半導体薄膜中にマトリクス状に薄膜ダイオードや薄膜トランジスタ等のスイッチング素子を配列してなる基板を作成し、スイッチング素子によって各画素となる液晶セルを直接駆動するものである。

第9図は、スイッチング素子として薄膜トランジスタ10を用いたマトリクス駆動型液晶ディスプレイの等価回路を示したものである。第9図ニ、符号11…は走査線、符号12…は信号線、符号13…は液晶セルである。そして各走査線11と信号線12とによって区画された部分に、スイッチング素子としての薄膜トランジスタ10と、それに接続された液晶セル13とを、それぞれ配設して液晶ディスプレイの一画素が構成されている。

このような液晶ディスプレイの等価回路は、通

明なガラス基板上に形成された半導体薄膜中に形成される。この半導体薄膜の材料としては、プラズマCVD法による水素化アモルファスシリコン薄膜が主に用いられる。これはプラズマCVD法によれば、対角の大きさが数インチ程度で、走査線11および信号線12が各々数百本、全画素数が数十万個程度の液晶ディスプレイの基板となる大面積のアモルファスシリコン薄膜をガラスの軟化点以下の低温で形成が可能であるためである。

ところで近年、大画面のディスプレイへの要求が高まりつつあるが、走査線11と信号線12とが各々千本以上で全画素数が数百万個以上にも達する大画面の液晶ディスプレイを製造するには、キャリア移動度が大きな半導体薄膜中に、スイッチング速度の高い薄膜トランジスタ10を製造する必要がある。

ところが上記水素化アモルファスシリコン薄膜は、キャリア移動度が高々 $1\text{ cm}^2/\text{Vs}$ と小さいので、スイッチング速度の向上に限界がある。よってキャリア移動度がより大きなポリシリコン薄膜

の駆動に十分なスイッチング速度の素子を形成できる。しかしながらこのレーザアニール法は、各画素に対応してレーザ光を照射するので、たとえ一画素あたりの処理時間が1秒だとしても数百万個の画素を有する基板を処理するには莫大な時間を要するので、量産に適さないという問題があった。

この発明は上記課題を解決するためになされたものであって、大面積のガラス基板上に結晶粒径が大きく、かつ結晶性の良好なポリシリコン薄膜をマトリクス状に高スループットで形成する方法を提供することを目的としている。

〔課題を解決するための手段〕

この発明の請求項1記載の半導体薄膜の製造方法は、ガラス基板上にシリコン薄膜層を形成し、スズ酸粒子を有機溶媒中に分散させてなるペーストを上記シリコン薄膜層上に塗布した後、このガラス基板を 232°C 以上に加熱した後、冷却することを解決手段とし、さらにこの発明の請求項2記載の製造方法は、スズ酸粒子を有機溶媒中に分散さ

を用いることが提案されている。

このポリシリコン薄膜は、LPCVD法(Low Pressure Chemical Vapor Deposition)やレーザアニール法によって形成できる。

LPCVD法は、シランガスを原料として加熱されたガラス基板上に直接ポリシリコン薄膜を形成する方法である。ところが薄膜形成温度をガラスの軟化点以上にすることができないので、このLPCVD法ではポリシリコン薄膜の結晶粒を十分に成長させることができない。半導体薄膜のキャリア移動度は、結晶粒径の大きさとその結晶性に依存しているので、LPCVD法によるポリシリコン薄膜のキャリア移動度もアモルファス薄膜の10倍程度が限界であった。

一方、レーザアニール法は、ガラス基板上に予め形成された半導体薄膜にレーザ光を照射して熔融再結晶化させる方法であるため、結晶性の良い結晶粒を十分に成長させることができる。このためキャリア移動度を $100\text{ cm}^2/\text{Vs}$ 以上にすることができ、画素数が数百万個に達する液晶ディス

プレイの駆動に十分なスイッチング速度の素子を形成できる。しかしながらこのレーザアニール法は、各画素に対応してレーザ光を照射するので、たとえ一画素あたりの処理時間が1秒だとしても数百万個の画素を有する基板を処理するには莫大な時間を要するので、量産に適さないという問題があった。

〔作用〕

スズを有機溶媒中に分散してなるペーストをシリコン薄膜層上に塗布した後、加熱すると、ペーストが塗布された部分においてシリコン-スズの二元合金の融液層が形成される。ついでこれを冷却すると、ガラス基板よりも熱伝導率の大きな融液層側から冷却されるので、融液層の表面からガラス基板側へ向ってシリコンの結晶を成長させることができる。

以下、この発明を詳細に説明する。

この発明の半導体薄膜の製造方法は、①ガラス基板上にシリコン薄膜を形成する基板形成工程と、②上記シリコン薄膜上にペーストを塗布する塗布工程と、③ペーストが塗布された基板を加熱する加熱工程と、④加熱された基板を冷却する冷却工程とからなるものである。

以下、工程順に説明する。

第1図ないし第5図は、この発明の製造方法を

工程順に示したものである。

①基板形成工程

まず第1図に示したように、表面が平滑なガラス基板1を用意する。このガラス基板1を洗剤および水の混合液で順次洗浄して、表面を清浄にする。

ついでこのガラス基板1上に、第2図に示したように、シリコン薄膜層2を1~2 μ mの膜厚にて形成する。このシリコン薄膜層2は、アモルファスシリコン薄膜とポリシリコン薄膜のいずれであっても良い。このようなシリコン薄膜層2はプラズマCVD法やLPCVD法等の公知手段によって形成することができる。

②塗布工程

次に第3図に示したように、シリコン薄膜層2上にスズ塗布層3をマトリクス状に形成する。

このようなスズ塗布層3を形成するには、粒径1 μ m以下のスズ微粒子をポリビニルアルコール等の有機溶媒中に分散させてなるペーストを、凸版印刷法、凹版印刷法、スクリーン印刷法等の各

種印刷法等によって塗布する方法を好適に用いることができる。印刷法と塗布条件とは、ペーストの厚さの制御性、各マトリクスに対するパターン形成能力、大面積基板上への塗布領域の位置制御性等によって適宜選択することができる。またスズ塗布層3のパターンおよびそのピッチは、スズ塗布層3が溶融した際に周囲に広がることを考慮して、隣接したスズ塗布層3、3が互いに接触しないように設定する必要がある。

なお第3図に示した例にあっては、スズ塗布層3を、シリコン薄膜層2上にマトリクス状に塗布したが、この発明の製造方法はこの例に限られるものではなく、シリコン薄膜層2の全面にスズ塗布層3を形成しても良い。

③加熱工程

次にスズ塗布層3が形成されたガラス基板1に加熱処理を施す。この加熱工程は、シリコン薄膜層2とスズ塗布層3とを加熱して、シリコン-スズ二元合金の融液層4を形成するためのものである。この工程は後述する④冷却工程と連続してな

例えば窒素等の不活性雰囲気中に保たれた電気炉中にて行うことができる。

電気炉を用いた場合の加熱-冷却の温度条件の一例を第6図に示した。昇温はガラス基板1に熱歪が発生しないように-10℃/分程度の緩やかなものであって、シリコンとスズとの二元合金が融解する温度T以上に加熱する。この温度Tは第7図より求めることができる。

第7図は、シリコン(Si)とスズ(Sn)との二元合金の状態図である。第7図より明らかなように、スズリッチの二元合金融液においては、232℃でシリコンの固相となつた結晶が析出するので、この加熱工程における昇温下限は232℃以上、上限はガラスの軟化点未満とする。

そしてこの温度T以上の温度でガラス基板1を数分間保持すると、シリコン薄膜層2とその上に形成されたスズ塗布層3とが溶融して、第4図に示したようにマトリクス状の融液層4が形成される。

なお融液層4は、スズ塗布層3が形成された異下の部分のシリコン薄膜層2のみならずスズ塗布層

3の周辺のシリコン薄膜層2を共に溶融して形成されるものであるので、その面積はスズ塗布層3のそれよりも大きくなる。

④冷却工程

ついで融液層4が形成されたガラス基板1を徐冷する。降温もまた、昇温時と同様に-10℃/分程度の緩やかなものとする。シリコン-スズ合金の熱膨張率はガラスのそれよりも大きいので、融液層4の表面からガラス基板1に向かって温度分布が生じ、まず最初に融液層4の表面からシリコンの結晶が析出する。そして冷却されるとともに、このシリコンの結晶がガラス基板1側へ向って成長するので、第5図に示したように、シリコン薄膜層2中にマトリクス状にポリシリコン薄膜層5が形成される。

このようにして形成されたポリシリコン薄膜層5は、融液層4の表面に析出した結晶を核として成長させたものであるので、結晶粒径が10 μ m程度と大きく、かつ結晶性の良いものとなる。よって各マトリクスにおける結晶粒界の数が数工程で

となり、レーザアニール法によって形成されたポリシリコン薄膜と同程度もしくはそれ以上のキャリア移動度を有するポリシリコン薄膜とすることができる。

この発明の製造方法では、シリコン—スズ合金の融液層4からシリコンの結晶を析出させてポリシリコン薄膜層5とするが、このシリコンの結晶粒は融液層4の表面側から成長するので、ポリシリコン薄膜層5の表面におけるスズの混入は数ppm以下でシリコン濃度はほぼ100%である。またスズはシリコンと同様にIV族元素であるので、シリコン中に混入しても電気的に不活性であり、ポリシリコン薄膜層5のガラス基板1側の部分にスズが混入していても、その半導体特性に全く影響を及ぼさない。

そしてポリシリコン薄膜層5とガラス基板1との界面では、スズ濃度が急激に増大し、逆にシリコン濃度は数%以下となる。よって、このポリシリコン薄膜層5を用いてたとえばコプラナー型薄膜トランジタを構成すれば、ポリシリコン薄膜層5上を図ることができる。

[実施例]

600mm×1000mmの矩形のガラス基板を用意し、洗剤および酸の水溶液で順次洗浄して、その表面を清浄にした。このガラス基板の片面上にプラズマCVD法によって第2図に示したように、アモルファスシリコン薄膜を膜厚1~2μmで形成した。なおこの際に原料としてはシランガスを用い、ガラス基板を250℃に加熱した。ついで上記アモルファスシリコン薄膜上に、凹版印刷法によって、粒径が1μm以下のスズ微粒子をポリビニルアルコール中に分散させたペーストを塗布して、スズ塗布層を2~3μmの膜厚で第3図に示したように、マトリクス状に形成した。スズ塗布層のパターンは、10μm×10μmの角形とし、ピッチは水平方向に150μm、垂直方向に450μmとし、その数は水平方向に6000個、垂直方向に1000個数、総数6百万個とした。この印刷には3分間を要した。

次にスズ塗布層が形成されたガラス基板を真

空の表面がキャリアの走行するチャンネル層となるので、理想的な構造の薄膜トランジタとすることができる。

またこの発明の製造方法にあつては、印刷法によってシリコン薄膜層2上にスズ塗布層3を一括して形成するものであるので、ガラス基板1が片面塗布のものであつても、ガラス基板一枚あたりの印刷に要する時間は数分と短くすることができ、スループットを向上させることができる。さらに加熱工程と冷却工程とは、多数枚のガラス基板1を同時に処理することが可能であるので、スループットすなわち量産性をより一層向上させることができる。

特にこの発明の請求項2記載の製造方法にあつては、スズ塗布層3をマトリクス状の微細領域に形成するものであるので、融液層4からのシリコンの結晶の成長に際し、各結晶粒間の接触を少なくすることができ、結晶粒径をマトリクス状の微細領域とほぼ同じ程度の大きさにまで成長させることが可能となり、スイッチング速度の大幅な向

昇を図氣に保たれた電気炉中で加熱した。30分かけて300℃にまで昇温し、300℃で数分間保持した後、さらに30分かけて室温にまで冷却した。この加熱の際に、アモルファスシリコンとスズとが溶融し、マトリクス状に形成されたスズ塗布層の面積が増大し、そのパターンが20μm×20μmと塗布時の約4倍に増大した。なおこの加熱処理は、多数枚のバッチ処理が可能であるので、50枚のガラス基板を一括に処理してスループットの向上を図った。

このようにして形成されたポリシリコン薄膜の結晶構造を調べるために、ポリシリコン薄膜層の表面を希硫酸系水溶液でエッチングした後、微分干渉顕微鏡で観察した。通常LPCVD法によって形成されたポリシリコン薄膜の結晶粒は1μm以下と小さいが、この発明の製造方法で得られたポリシリコン薄膜の結晶粒は大きく、10μm以上となった。すなわち20μm×20μmのマトリクス状のパターン中において結晶粒界の数は数本以下となつていた。またこのポリシリコン薄膜の

組成を厚さ方向に沿ってイオンマイクログラフィザ(I.M.S)で調べた。この結果、薄膜表面ではほぼ100%シリコンであり、スズの混入は数ppm以下であった。またガラス基板上の各マトリクス間での結晶粒界数のバラツキを調べたところ、約10000個/μm²離れたマトリクス間においても2倍以下となり、大面積基板であっても均一な薄膜となっていることが確認できた。

次に、このようにしてマトリクス状に形成された各ポリシリコン薄膜上に、第8図に示したようなコプラナー型の電界効果型薄膜トランジタを作成した。この作成には通常の薄膜トランジタの製造プロセスを用いた。なお第8図中、符号6はソース電極、符号7はドレイン電極、符号8はゲート電極、符号9はゲート絶縁膜をそれぞれ示す。この薄膜トランジタのチャネル長およびチャネル幅は、それぞれ5μmおよび10μmとした。薄膜トランジタのサイズをポリシリコン薄膜層のマトリクスのパターンサイズよりもかなり小さくすることにより、ガラス基板全面にわたって薄膜トラ

ンジタをそれぞれのポリシリコン薄膜層上に形成することができた。

このようにして製造された薄膜トランジタの電流電圧特性からポリシリコン薄膜層のキャリア移動度を求めたところ、約120cm²/Vsと高い値が得られた。この値はレーザアニール法による薄膜と同等以上の高いものである。この結果、第9図に示したような等価回路において薄膜トランジタ総数6百万個という大表示容量の高画質液晶ディスプレイを実現することができた。

[発明の効果]

以上説明したように、この発明の半導体薄膜の製造方法によれば、シリコン-スズ合金の融液からシリコン結晶を成長させるものであるため、結晶粒径が大きく、結晶性の良好なポリシリコン薄膜を形成することができる。よって、大面積液晶ディスプレイを駆動するに十分なキャリア移動度を有する半導体薄膜が得られる。

またこの発明の製造方法によれば、印刷法により一括して形成するものであるため、短時間で

大面積の基板を処理することができる。さらに加熱処理は多数枚のガラス基板を同時に処理することができるので、スループットの向上を図ることができる。量産性を高めることもできる。

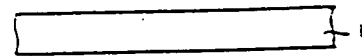
4. 図面の簡単な説明

第1図ないし第5図は、いずれもこの発明の製造方法の各工程におけるガラス基板を示した要略断面図、第6図はこの発明の製造方法の加熱および冷却工程の温度条件を示すグラフ、第7図はシリコン-スズの二元合金状態図、第8図はこの発明の実施例における電界効果型薄膜トランジタの要略断面図、第9図は液晶ディスプレイの等価回路図である。

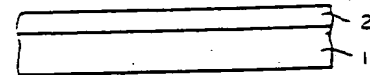
- 1 … ガラス基板、 2 … シリコン薄膜、
- 3 … スズ塗布層、 4 … 融液層、
- 5 … ポリシリコン薄膜層。

出願人 株式会社 ジーティシー

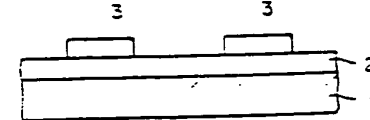
第1図



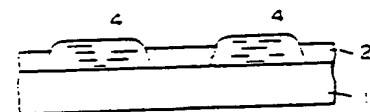
第2図



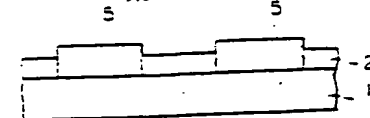
第3図



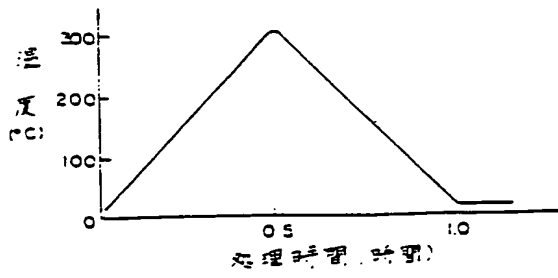
第4図



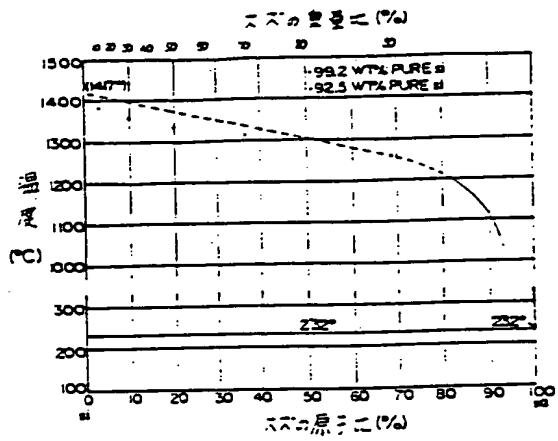
第5図



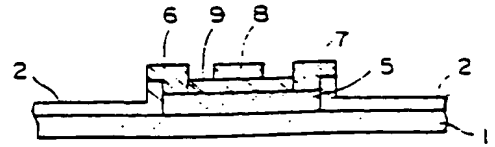
第6図



第7図



第8図



第9図

